

FLEX 6000 の性能評価

TECHNICAL BRIEF 27

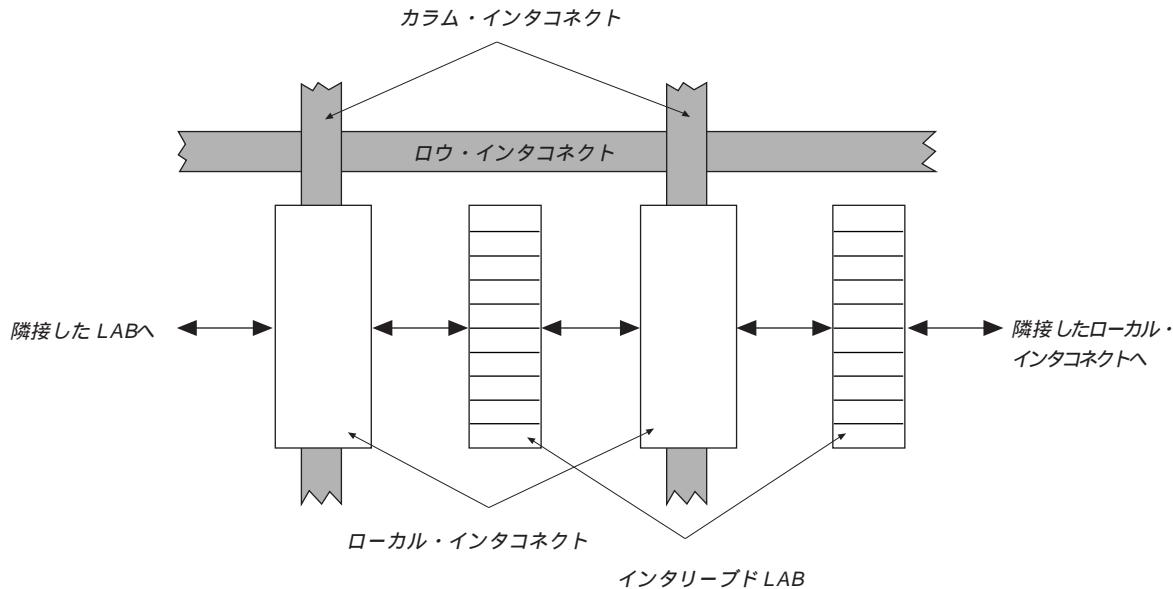
JULY 1997

Altera® の FLEX™ 6000 ファミリはゲートアレイに匹敵する価格で最先端の性能を実現しています。FLEX 6000 は FPGA の半分の価格でその 2 倍に相当する性能を実現するため、インターリーブド・ロジック・アレイ・ブロック (LAB) 最適化された I/O 構造、そして最新のボンディング・パッド・ピッチ技術を採用した OptiFLEX™ アーキテクチャをベースに構成されています。もっとも高い性能が要求されるデザインに対しては ASIC が唯一のソリューションのように思われがちですが、この技術的・ブリーフでは FLEX 6000 ファミリの提供する高い性能と低価格がいかに多くのゲートアレイのデザインに対する現実的な代替ソリューションになるかを解説します。

OptiFLEXアーキテクチャ

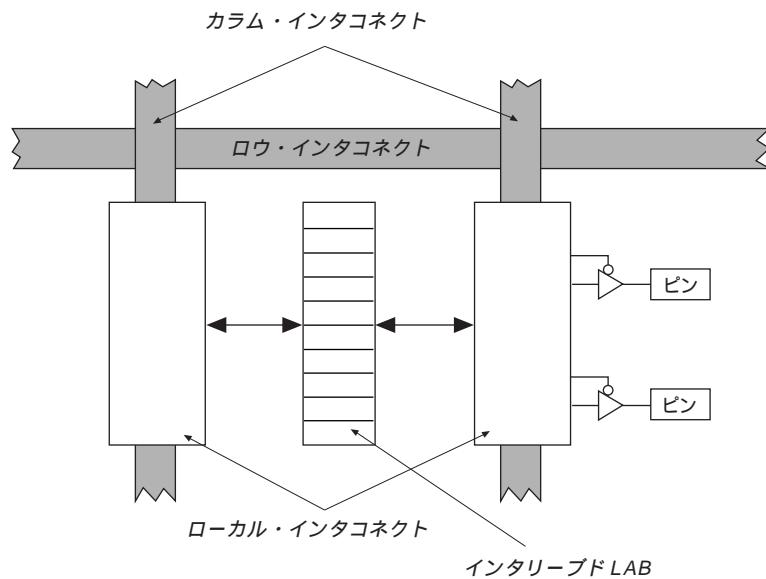
OptiFLEXアーキテクチャは、高速で性能の予測を可能にした連続した配線構造であるアルテラのFast Track™ インタコネクトと、インターリーブド LAB 構造および FastFLEX™ I/O 機能とを融合させたものとなっています。このインターリーブド LAB 構造では、各ロジック・エレメント (LE) が同一 LAB 内の他の LE だけでなく、隣接した LAB 内の LE ともローカル・インタコネクトを通じて接続できるようになっています。各 LE は 2 本のローカル・インタコネクトをドライブすることができ、高速なローカル・インタコネクトの配線リソースを通じて 19 個の LE とダイレクトに接続することができます。このローカル・インタコネクトを使用することで、ロウおよびカラムのインタコネクトを使用した場合よりも配線遅延時間が減少し、性能と効率が大幅に改善されます。図 1 を参照して下さい。

図 1 FLEX 6000 アーキテクチャのインターリーブド LAB 機能



FastFLEX I/O の機能は LE から I/O ピンをローカル・インタコネクトを通じてドライブできるようにしてあり、高速の「Clock-to-Output」タイミングと I/O レジスタ性能を実現しています。この機能の実現により、OptiFLEXアーキテクチャは最小のダイ・サイズで PCI のタイミング仕様もサポートできるようになっています。図 2 を参照して下さい。

図2 FLEX 6000 アーキテクチャの FastFLEX I/O



価格と性能の比較

表1はEPF6016デバイスの価格と性能をXilinx社のXC5210およびXC4013Eと比較したものです。

表1 EPF6016とXC5210およびXC4013Eとの比較 注(1)

ベンチマーク	EPF6016		XC5210			XC4013E	
	-2	-3	-3	-4	-5	-2	-3
16ビット、ローダブル・カウンタ (MHz)	135	99	65	59	50	76	65
16ビット、アキュムレータ (MHz)	135	99	—	—	—	76	65
24ビット、アキュムレータ (MHz)	99	72	50	45	39	—	—
16対1マルチプレクサ (ns)	5.5	7.0	9	11	13	—	—
100個購入時の単価 (208ピンQFP)	\$32.50	\$22.95	\$81.30	\$68.70	\$57.25	\$224.00	\$166.00

注:

(1) これらのデータはアルテラのFLEX 6000 Programmable Logic Device Family Data Sheetおよび1997年第3四半期の価格表、Xilinx社のXC5200、XC4000の各Field Programmable Gate Array Data Sheetおよび1997年6月時点の価格をベースにしたもので

表1は、EPF6016がXC5210やXC4013Eよりも低価格で高速であることを示しています。このようにEPF6016が価格、性能の点で優れている理由は、FLEX 6000のOptiFLEXアーキテクチャが最小のダイ・サイズで最高の性能が得られるようにデザインされているためです。これに対して、XC5200やXC4000Eは細かくセグメント化されたアーキテクチャとなっているため、性能の向上の実現にはより大きなダイ・サイズが必要になり、コストが増加する結果となっています。

FLEX 6000デバイスが実現したロー・コストな価格体系により、デザインの試作をプログラマブル・ロジック・デバイス(PLD)を使用して行い、さらに量産時においてもデザインをASICに移行させることなく、PLDをそのまま使用することが可能になります。FLEX 6000デバイスを使用してもっとも高い性能と効率を得るために、デザインをFLEX 6000のアーキテクチャに最適化する必要があります。ゲートアレイに最適化されているデザインをFLEX 6000デバイスに移行させても最適な結果は得られません。

設計手法による最適化

FLEX 6000デバイスの性能と効率は、使用される設計手法にも依存します。表2はEPF6016と0.5ミクロン・プロセスのゲートアレイにおける設計手法による性能と効率の違いを示したものです。この表には、HDLを使用して16ビットのカウンタを記述するときに、この機能を単に記述した場合と、インスタンス化した場合の2種類の設計手法によって生成される代表的な結果が示されています。

表2 2種類の手法による16ビット・カウンタの実現結果

デバイス	設計手法			
	単純な記述 (inferred)	インスタンス化 (instantiated)		
EPF6016 デバイス	65 LEs	58 MHz	16 LEs	135 MHz
0.5ミクロン・プロセスのゲートアレイ	342 Gates	104 MHz	337 Gates	106 MHz

最初の設計手法では、同期クリア機能を持った16ビットのローダブル・カウンタをVerilog HDLの中で単純に記述されています。2番目の設計手法では、あらかじめ最適化された同じカウンタのファンクションをHDLのデザイン内でインスタンス化しています。この最適化されたファンクションをインスタンス化することによって、ゲートアレイではわずかながら効率と性能が改善されます。これに対して、EPF6016ではインスタンス化の設計手法を採用することによって、LEの使用数が75%も減少し、133%も高い性能が達成されています。

この比較はFLEX 6000デバイスがASICよりも高速であるということを意味するものではありませんが、PLDのアーキテクチャには設計手法が大きな影響を及ぼすことを示しています。この例では、16ビットのカウンタがFLEX 6000のアーキテクチャにもっとも理想的に構成されたために、EPF6016がゲートアレイよりも高速になっています。このように、設計の初期段階からいくつかる考慮を払うことによって、FLEX 6000デバイスで高い効率と性能を実現することができ、量産時にデザインをゲートアレイに移行させる必要性を効果的に解消することができます。

さらに詳細については下記の資料を参照して下さい。カッコ内のコードはアルテラのドキュメント番号です。

- *FLEX 6000 Programmable Logic Devive Family Data Sheet A-DS-F6000-02*-- 日本語版あり
- *AN 87: Configuring FLEX 6000 Device A-AN-087-01*-- 日本語版「FLEX 6000デバイスのコンフィギュレーション」

これらの資料は下記にご請求下さい。

- 日本アルテラ(株) 電話: 03-3340-9480
- 販売代理店:(株)アルティマ 電話: 045-939-6113
(株)パルテック 電話: 045-477-2000
- アルテラのWorld-wide Webサイト <http://www.altera.com>

日本アルテラ株式会社

〒163-04 東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487

Copyright© 1997 Altera Corporation. Altera FastTrack, OptiFLEX, FastFLEX, FLEX, FLEX 6000, EPF6016はAltera Corporationの米国および該当各國におけるtrademarkまたはservice markです。他のブランド名、製品名は該当各社のtrademarkです。この資料はAltera Corporationが発行した英文資料を日本語化したものです。アルテラが保証する内容は英文オリジナルのものです。ここに記載された内容は予告なく変更される場合があります。